

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **60180132 A**(43) Date of publication of application: **13.09.85**

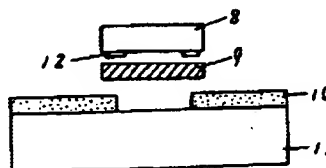
(51) Int. Cl.

H01L 21/60(21) Application number: **59227510**(22) Date of filing: **29.10.84**(62) Division of application: **50026333**(71) Applicant: **SEIKO EPSON CORP**(72) Inventor: **YAMAZAKI YOSHIO****(54) CONNECTION STRUCTURE OF SEMICONDUCTOR CHIP****(57) Abstract:**

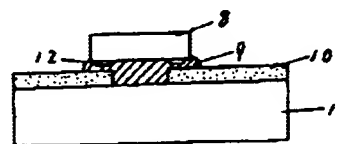
PURPOSE: To obtain connection which stabilizes continuity at the fine area and improves reliability by directly providing a semiconductor chip having a pad at the lower surface onto a substrate through a conductive anisotropic bonding agent.

CONSTITUTION: A conductive anisotropic bonding agent layer 9 which allows mixing and dispersion of conductive fine particles into the bonding agent having insulation property and has conductivity in the thickness direction is arranged between an IC chip 8 and a conductive lead layer 10 formed on a substrate corresponding to a pad of IC chip by the etching. It is then pressurized for making continuity of the required part to the conductive lead layer 10 with the pad of IC chip 8 and simultaneously the IC chip 8 is fixed to the substrate 11 with the bonding layer 9. In case the pad of IC chip 8 is formed as the protruded part, the conductive anisotropic effect is further increased.

COPYRIGHT: (C)1985,JPO&Japio



(a)



(b)

⑩ 日本国特許庁(JP)

⑪ 特許出願公告

⑫ 特許公報(第2)

昭62-6652

⑬ Int. Cl.⁴
H 01 L 21/60
23/14

⑭ 識別記号

⑮ 庁内整理番号
8732-5F
7738-5F

⑯ 公告 昭和62年(1987)2月12日

⑰ 発明の数 1 (全5頁)

⑱ 発明の名称 半導体チップの接続構造

審判 昭61-9002

⑲ 特 願 昭59-227510

⑳ 公 開 昭60-180132

㉑ 出 願 昭50(1975)3月3日

㉒ 昭60(1985)9月13日

㉓ 特 願 昭50-28333の分割

㉔ 発 明 者 山 崎 淑 夫 東京都大和3丁目3番5号 株式会社諏訪精工舎内
㉕ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

㉖ 代 理 人 弁理士 最 上 務

審判の合議体 審判長 金 平 隆 審判官 渋谷 孝 審判官 小 田 裕

㉗ 参 考 文 献 特開 昭51-20941(JP, A)

① 特許請求の範囲

1 上面に導電リード層を有する基板と、前記基板のリード層上に配置され絶縁性を有する接着剤中に導電性微片が混入・分散され厚み方向に導電性を有し面方向に絶縁性を有する導電異方性接着剤と、前記接着剤上に配置・固定され下面のパッドが前記導電リード層に接続される半導体チップとを有し、前記パッド周辺の前記接着剤は前記パッドに対し前記半導体チップの中心側及び外周側で前記半導体チップ下面に接して前記パッドが前記接着剤に覆れており、前記半導体チップの下面において前記パッドが形成されていない下面全域に前記導電異方性接着剤が介在していることを特徴とする半導体チップの接続構造。

発明の詳細な説明

本発明は、導電性に異方性を持たせることのできる接着剤を用いて、ダイオード・トランジスタ等の半導体チップを基板へ接着方式により電気的に接続をする半導体チップに関するものである。

さらに詳しくは、銅、ニッケル、銀、金などの金属微粒子やカーボンファイバーなどの導電性微片を接着剤中に分散させ、該金属粒子等の含有量、形状、大きさ、分布状態、さらには接着剤層の厚みをコントロールし電気的接続をとろうとする部分に必要な応じて圧力を加えて接着剤層の厚み方向には導電性を有し、面方向には絶縁性を保

持するようにした導電性が異方的である接着剤を用いて電気的な接続をとる方式に関するものである。

本発明の特徴は、1つは分散させる導電粒子や接着剤を任意に選ぶことにより、接着導電層を薄くすることも厚くすることも可能であり、この結果、特に薄くすることにより導電異方性の効果は著るしく顕著になる。即ち、IC等の細密半導体パターンにおける電気的導通と絶縁の分離がきわめて効果的に行えるものである。また、本発明は接着により導電異方性の効果が生じるものであるため、導通をとつた後、他の押えなり、支持は必要ない。したがって、一度接着により固定された導電異方性接着剤層は経時変化に対してきわめて堅牢である。即ち、別な言い方をすれば、固定と電気的接続の2工程を1工程に簡単化しているものである。さらに別に特徴は、基板上への接着剤の形成が容易である。即ち、他点との電気点接続をするには、本発明による導電異方性接着剤を印刷や塗布して接着するだけ、又はシート状の接着剤を置くだけで可能である。

また接着による導通であるため、被導電体の表面の凹凸が多少存在しても、本質的には導電異方性の機能を損うことはない。

従来の導電性を有する有機材料としては、導電塗料、導電性エラストマーがあるが、いずれも電

3

氣的な導電性は等方的であつた。これに対して、本発明に係る導電異方性接着剤は、接着方式により形成された接着剤層が導電性に関して異方的であることが特徴であり、前述したように、断面の形状が凹凸があり、又その形状が複雑である品物同志を電氣的に結合させる場合にも都合がよい。又、接着剤であるから、電氣的に結合すると同時に、合体させて有機結合体として、その機能を増大させる箇所に用いると効果がある。またヤニ液状の接着剤の場合は乾燥されない初期状態にあつては液状であることから、この物体を例えば刷毛のようなもので必要な部分に塗りつけたり、任意形状の複雑なパターンマスクを用いて模様の通りに転写させ、その模様に導電性の性質をもたせることができる。

本発明を具体的に図面を用いて説明すると、即ち、第1図に示すように、互いに電氣的に導氣的に導通させる必要のある電氣的部材1、2間に本発明に係る導電異方性を持ちうる接着剤を用いて加圧接着方式により接着剤層3を形成し、基板1、2のある部分A、B、C、Dを想定すると、A→B、C→D、方向は導通するがA→C、B→DおよびA→D、C→B方向は絶縁されるという性質を持たせることが可能である。導電異方性を持ちうる接着剤は、絶縁性を有するエポキシ系、シリコン系等の各種接着剤に、導電性を有する貴金属粒子、重金属粒子、軽金属粒子単体あるいは合金、さらにはメッキ粒子へカーボンファイバーなどを分散させ、含有量、形状、大きさ、分散状態、厚み接着方法などを適当にコントロールすることにより得られる。

導電異方性接着剤の導電機構は、基本的には導電粒子間の接触にあると解釈され、分散媒中に於ける導電粒子はその分散の不均一性、クラスターを形成する粒子の密集効果、さらには接着界面近傍への製集効果などにより導電領域の無数の島が出来るものと推定される。

第2図の1および2は、本発明に係る導電異方性接着剤の導通の原理を説明する簡単な模型図である。4、5は、それぞれ導通をとるべき基板であり、6は接着方式により形成された接着剤層、7、7'は導電性粒子を表わす。第2図2は、粒子7'のサイズが接着剤層6の厚みにほぼ等しいもので、導通接触のとり方としては単純である

が、点接触は接触抵抗が一般に大きいので、第2図1のような複数個の導電粒子7による導通接触をとる方がよい。このように絶縁性接着剤に導電性粒子を分散させた組成物の導電特性を調べると、一般に第3図のようになる。即ち、横軸に導電粒子と絶縁性接着剤との比率Vmをとり、縦軸に導電率σをとると、導電粒子の比率がある値K点以下になると導電性が著しく低くなり、K点以上では、良好な導電性が生じるようになる。ここで、K点近傍及びそれ以下の低い導電率を有する組成の接着剤を厚みのコントロール、粒子径および接着方法を適当に選んでやることにより、厚み方向には導電性を有しながら横方向には絶縁性を持つ特性が得られる。

本発明は、このように接着方式によつて得られる導電異方性接着剤を用いて電氣的に接続する単純で確実かつ、きわめて安価な画期的な方法を提供するものであり、トランジスタ、ダイオード、ICチップ等の半導体チップを基板に接続するものであり、この場合前記半導体チップは下面にパッドを有し、基板上のリード面に導電異方性接着剤を介して接合したものである。現在、ICを含む半導体素子の製造数量は膨大なものであり、大量生産によるコストダウンも著るしいものであるが、例えば、IC製品コスト構成を見るとIC等の半導体チップ価格に対して、チップのパッドからワイヤボンディング等でリード端子をとり出す作業に相当のコストがかかっている。そのため、IC関係の分野では、ICのコストを下げるために、このワイヤボンディング方式を他の効率的な方式に切換えることが真剣に検討されている。その結果、一部ではICチップパッドからのリードの取出しを全パッド同時に行なおうとするフェースボンディング方式等が採用されている。しかし現実にはハンダポンプの量や加熱温度、圧力等のコントロールが難しく、信頼性が確立してえず、まだ高価になつている。したがつてパッド数の少ないチップに一部利用されているにすぎない。

本発明による方式では、上記問題を一掃し、大幅なコストダウンが可能である。

第4図は、本発明によるICのボンディング説明図である。第4図aのようにICチップ8と、あらかじめリジット又はフレキシブルな基板11上にエッチング等でICチップ8のパッド12に

5

対応した導電リード層10、およびこの間に本発明に係わる導電異方性を持ちうる接着剤層9を配置し、次いでb図のように例えばシート状の接着剤層9を介して圧接し、ICチップ8のパッド12により必要部分の導通を導電リード層10にとることができる。この時、同時に接着剤層9によりICチップ8は基板11に固着される。この場合、パッド12の周辺において接着剤層9はパッド12に対しICチップ8の中心側下面8a及び外周側下面8bでICチップ8の下面に接しており、第4図bの如く前記パッド12が接着剤層9に覆れている。従つて、パッド12により接着剤層9が確実に押圧されパッド12と導電リード層10との導通も確実に保たれる。又、前述の如くパッド12がその中心側でも外周側でもICチップ8下面に接してパッド12を覆っており、この場合、パッド12の周辺においては接着剤層9はその性質上横方向に絶縁性を有することから、外部からの湿気、ホコリの侵入を防ぎ、パッド12と他の（隣接の）導電リード層10の誤導通等の危険性がなく、所定導通箇所のみを良好に導通することができるものである。又、ICチップ8の下面には前述の接着剤9が全面に存在しており、ICチップ8下面にはパッド12下面にもパッド12が形成されていない下面にも全域にわたつて前述の接着剤層9が介在しているので、接着剤面積が広くなり基板への接合強度が高まり微小面積のICチップ8の接合の信頼性が随しく上昇するとともに、前記接着剤層9がICチップ8下面全体を覆うこととなり、外部より湿気、光等のIC能動面への侵入を防止し、ICチップ8の誤動作や劣化を防止することもできる。また、ICチップ8のパッド部分12を凸状に形成した場合、本発明の導電異方性効果はさらに増大し、信頼性も著しく高まる。

第5図は、第4図の立体斜視図である。基板15の上に所定パターンの導電リード層14を形成し、本発明に係わる導電異方性接着剤層13を介してICチップ16を接着する。この場合においても、ICチップのパッド17を下部の導電リード層の位置合わせのみを行なうだけで所定の電気的接続をとることが可能である。

第6図は、液晶表示パネル上に該表示パネル駆動用のICチップを一体化した時計用モジュール

6

の例である。液晶表示用上下電極基板ガラス20、21のどちらか一方の基板上に必要なセグメントパターン22よりリード線23を該当するICチップ24のパッド間隔に合わせて配置すれば、個々のパッドから1本ずつワイヤボンディングするわずらわしさがなく、本発明による導電異方性接着方式により、容易に接着導通をとることができる。

第7図は、液晶表示パネルに回路部分をすべて取り付けた電子式卓上計算機のモジュールである。即ち、液晶表示用電極ガラス基板35上に該電子式卓上計算機の駆動に必要なすべての回路素子38を本発明による導電異方性接着剤を用いて導通取付けしたものである。いずれの場合も、基板上の配線39を厚膜、薄膜等で形成した後、回路素子のチップを位置合わせして、本発明による接着により容易に作成できる。

なお、本発明による方式の実際の運用に当つては、接着剤の硬化過程に圧力を加えたり、また超音波を併用したりすることが重要な特性改良につながるものである。

以上の如く本発明は導電異方性接着剤を介して下面にパッドを有する半導体チップを基板上に直接に取り付けたから、次のような著るしい効果をもつ。

① 接着剤を導電異方性とし導通が厚み方向に確保され面方向に絶対的な絶縁性が確保されるから、半導体チップのパッドの如く、細密部の導通は極めて安定化し、その信頼性が飛躍的に向上する。即ち、半導体チップのパッドと基板の導電リード層の接続は導通の確実性の観点からワイヤボンディングやハンダハンパによるフエースダウンボンディングが知られているが、それらはいずれも各パッド毎にボンディングするものであり、加熱温度や時間、圧力、ハンダハンパの量などが個々にバラツキ導通の信頼性が乏しいものである。これに比べ本発明は前述の導電異方性接着剤上に半導体チップを単に設置し、各パッドは同一条件にて加圧されるためそれぞれの導通は極めて安定する。この場合、半導体チップの各パッドが細密化されていても本発明の接着剤の厚さを適切にコントロールすることにより接着剤中の導電性微片がパッドと導電リード層のみを導通させることができ、細

7

密パッド部の導通の信頼性を著しく高めるものである。

- ② 半導体チップを本発明の接着剤の上に載置、押圧する（必要により加熱する）のみでよいため、その作業性が向上する。半導体チップのパッドが多岐化する最近にあつては、半導体チップの言わばワンタッチ取り付けでよい効率的な作業性は実用的に極めてメツトが高い。

- ③ 本発明は、導通と接着が同じ箇所で行なわれるものであるから、半導体チップを基板に接合する手段とは別にワイヤーにより導通を必要とするワイヤーボンディング方式に対し、薄型、小型化する。

- ④ 半導体チップの下面のパッド周辺において、導電異方性接着剤はパッドに対し半導体チップの中心側及び外周側で半導体チップの下面に接し前記パッドを覆うことになり前記接着剤は半導体チップ下面の中心側からも外周側からもパッドに湿気やホコリの侵入を防止することができ、且つ前記接着剤が横方向には絶縁性を有することから、パッドと他の導電リード層（例えば隣接のリード層）との誤動作を確実に防止し、所定箇所の導電信頼性を著しく高めることができる。

- ⑤ 半導体チップの下面において、前記パッドが

形成されていない下面全域にも導電異方性接着剤が介在しているので、単にパッド部にこの接着剤が存在し基板に接合される場合に対し著しく接合力が向上する。つまりこのパッドの面積は小さくパッド部のみによる接合では著しく弱いものであるが、半導体チップ下面全域が前述の接着剤により接合されることにより接合面が著しく広くなり、よつてその接合力も飛躍的に高まる。又、前記接着剤が半導体チップ下面全体を覆うこととなり、外部より湿気、光等の半

8

導体チップ絶縁面への侵入を防止し、半導体チップの誤動作や劣化を防止する。

図面の簡単な説明

第1図は、本発明に係わる現象説明図である。1、2…導通させる必要のある電氣的部材、3…本発明に係わる導電異方性接着剤。

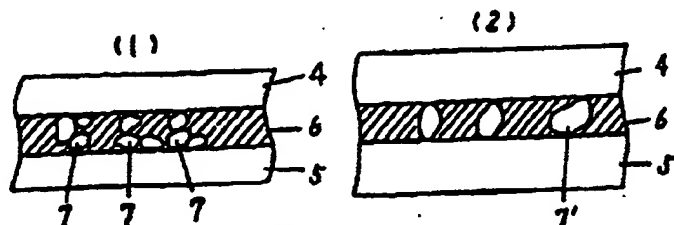
第2図1、2は、本発明に係わる導電異方性接着の原理図である。4、5…導通をとるべき基板、6…接着剤層、7、7'…導電性粒子群と粒子。

第3図は、導電性粒子と母体接着剤の比率対導電率の関係を示したグラフである。第4図a、bは、本発明による応用例の模型図である。8…半導体チップ、8a…半導体チップの中心側下面、8b…半導体チップの外周側下面、9…本発明に係わる接着剤、10…導通をとるべきリード端子、11…回路基板、12…半導体チップ上のパッド、b図は接着した状態の図であり、9は圧接された導電異方性接着剤層を示す。

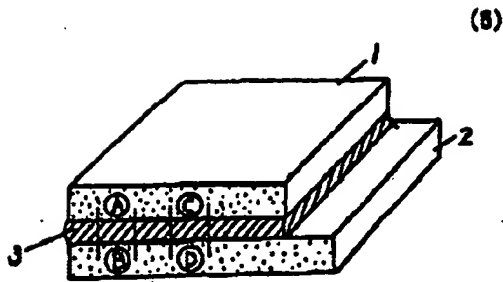
第5図は、本発明による接着方式をICチップのボンディングに応用した説明図である。16…ICチップ、13…本発明に係わる導電異方性接着剤層、14…エッチング等で形成したリード線、15…回路基板、17…ICチップ上のパッド。

第6図は、液晶表示パネルと半導体チップとを一体化した時計の例の平面図である。20、21…液晶表示パネル用上下電極基板ガラス、22…セグメントパターン、23…リード線、24…ICチップ。

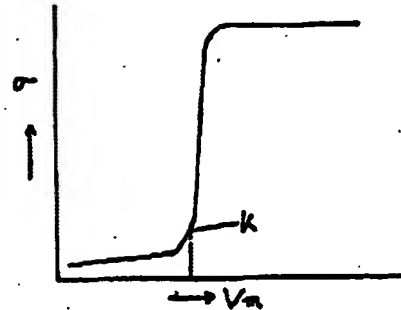
第7図は、液晶表示パネルに回路素子をすべて取付けた電子式卓上計算機の例の斜視図である。35、36…液晶表示パネル用上下電極基板ガラス、37…表示セグメント、38…回路素子群、39…配線。



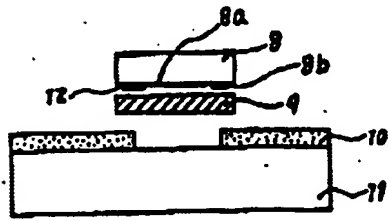
第2図



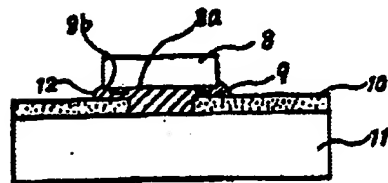
第 1 图



第 3 图

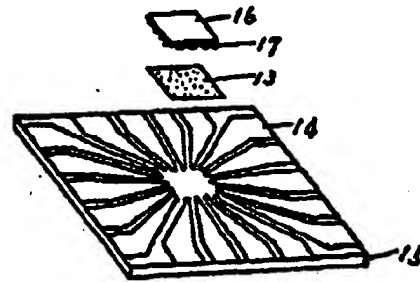


(a)

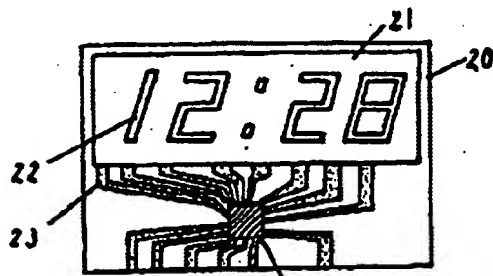


(b)

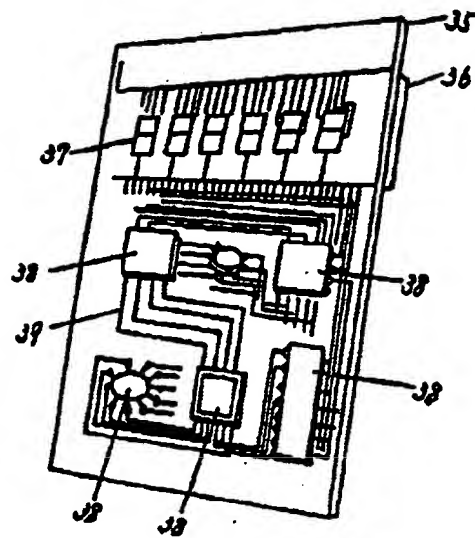
第 4 图



第 5 图



第 6 图



第 7 图